

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-083157

(43)Date of publication of application : 31.03.1998

(51)Int.Cl.

G09G 3/20  
G06F 1/04  
G09G 3/18  
G09G 5/00

(21)Application number : 08-237640

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 09.09.1996

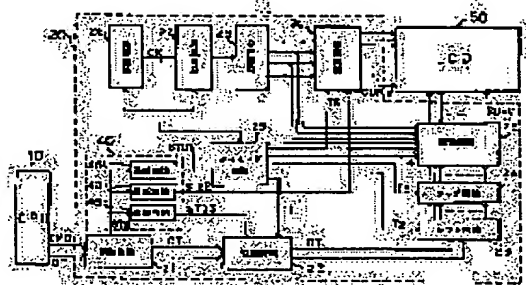
(72)Inventor : TERAISHI TOSHIO

## (54) DISPLAY DRIVING DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a display driving device without causing an abnormal display when a standby mode is switched to a display mode.

**SOLUTION:** When a standby command CMD is inputted, a control circuit 21 makes a standby signal STB an 'H'. A delay circuit 40b makes the standby signal STB2 the 'H' in response to that. Thus, display device driving signals RDRV, CDRV outputted from the drive circuits 25, 30 are stopped, and a display of an LCD(liquid crystal display device) 50 is stopped. Succeedingly, the standby signal STB3 outputted from the delay circuit 40c becomes the 'H', and a storage circuit 22 becomes the standby mode. Thereafter, the standby signal STB1 outputted from the delay circuit 40a becomes the 'H', and an oscillation circuit 26 and a booster circuit 27 are stopped in operation. When the mode is moved to the display mode, the standby signals STB1, etc., are outputted at the timing operating respective circuits in the order opposite to that.



## LEGAL STATUS

[Date of request for examination] 31.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3485422

[Date of registration] 24.10.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-83157

(43) 公開日 平成10年(1998) 3月31日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/20		4237-5H	G 0 9 G 3/20	Z
G 0 6 F 1/04	3 0 1		G 0 6 F 1/04	3 0 1 C
G 0 9 G 3/18			G 0 9 G 3/18	
5/00	5 5 0		5/00	5 5 0 B

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平8-237640

(22) 出願日 平成8年(1996) 9月9日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 寺石 利夫

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

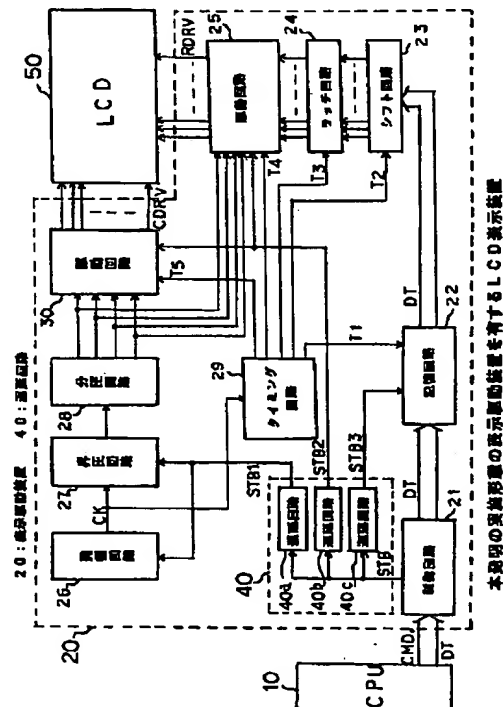
(74) 代理人 弁理士 柿本 恭成

## (54) 【発明の名称】 表示駆動装置

## (57) 【要約】

【課題】 スタンバイモードと表示モードとの切替え時に、異常表示を発生しない表示駆動装置を提供する。

【解決手段】 スタンバイコマンドCMDが入力されると、制御回路21は、スタンバイ信号STBを“H”にする。遅延回路40bは、これにตอบสนองしてスタンバイ信号STB2を“H”にする。これにより、駆動回路25、30から出力される表示装置駆動用信号RDRV、CDRVは停止され、LCD50の表示は停止する。次いで、遅延回路40cから出力されるスタンバイ信号STB3が“H”になり、記憶回路22はスタンバイモードになる。その後、遅延回路40aから出力されるスタンバイ信号STB1が“H”になり、発振回路26及び昇圧回路27は動作を停止する。表示モードへの移行時には、これとは逆の順序で各回路を動作させるタイミングでスタンバイ信号STB1等が出力される。



## 【特許請求の範囲】

【請求項 1】 待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第 1 の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第 1 の遅延回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第 2 の所定時間だけ遅延させて出力する第 2 の遅延回路と、

前記第 1 の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する発振回路と、

前記第 1 の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する駆動電圧発生回路と、

前記表示駆動用電圧及び前記制御回路から出力される表示用データが与えられ、前記第 2 の遅延回路から出力される待機信号が不活性時には該表示用データに基づいて表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示装置駆動用信号の出力を停止する駆動回路とが、

集積回路で構成されたことを特徴とする表示駆動装置。

【請求項 2】 待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第 1 の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第 1 の遅延回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第 2 の所定時間だけ遅延させて出力する第 2 の遅延回路と、

前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には、該待機信号を前記第 1 の所定時間より短い第 3 の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には、該待機信号を前記第 2 の所定時間より短い第 4 の所定時間だけ遅延させて出力する第 3 の遅延回路

と、

前記第 1 の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する発振回路と、

前記第 1 の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する駆動電圧発生回路と、

10 前記第 3 の遅延回路から出力される待機信号が不活性時には前記制御回路から出力される表示用データを格納するとともに、読み出し要求に応じて該格納した表示用データを出力し、該待機信号が活性化された時には読み書きのアクセスが禁止され、かつ該格納した表示用データを低消費電力状態で保持する記憶回路と、

前記表示駆動用電圧が与えられ、前記第 2 の遅延回路から出力される待機信号が不活性時には前記記憶回路に格納された表示用データを読み出して該表示用データに基づいた表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示用データの読み出しを停止するとともに、該表示装置駆動用信号の出力を停止する駆動回路とが、

集積回路で構成されたことを特徴とする表示駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示器（以下、「LCD」という）等の表示装置を駆動する表示駆動装置、特に表示モードとスタンバイモード（低消費電力での待機状態）との切替え機能を有する表示駆動装置に関するものである。

【0002】

【従来の技術】 大規模集積回路（以下、「LSI」という）技術においては、低電源電圧化や低消費電力化が進められている。LCD等の表示装置を駆動するために、LSIで構成された表示駆動装置においても、電源電圧の低電圧化が行われている。一方、LCD、蛍光表示管、発光ダイオード等の表示装置においては、表示画素を駆動するために必要な電圧が、画素材料によって決まっており、更に、表示品位の向上を図るために、高輝度出力の可能な高電圧が要求されることが多い。このため、LSIで構成された表示駆動装置では、電源電圧をマイクロコンピュータ等の 5 [V] 等の電源電圧に一致させて、このマイクロコンピュータ等とのインタフェースを図っている。そして、例えば LCD の表示装置を駆動するための 10 [V] 程度の電圧は、表示駆動装置の内部に設けた駆動電圧発生回路から供給するようにしている。このような駆動電圧発生回路を内蔵した表示駆動装置では、低消費電力化を図るために、表示を行う必要のない期間中、この駆動電圧発生回路の動作を停止させ、LCD に表示駆動用の電力を供給せずに低消費電力

状態に保持するスタンバイモードを有している。

【0003】表示モードとスタンバイモードの切替えは、例えば、このような表示駆動装置とLCDによる表示装置とを備えたパーソナルコンピュータの場合、一定時間継続してキーボード等からの入力が無い時に、中央処理装置（以下、「CPU」という）から表示駆動装置にスタンバイモードへの切替えを指示するコマンドを与えるようにしている。スタンバイモードへの切替えのコマンドが与えられると、表示駆動装置は、内部の駆動電圧発生回路、表示データを格納している記憶回路、及びLCDの表示画素単位に駆動電力を供給する駆動回路等に対して、スタンバイ信号を出力する。これにより、内部の各回路はスタンバイモードになる直前の状態を維持したまま動作を停止する。また、CPUは、スタンバイモード中にキーボード等からの入力を検出すると、表示駆動装置に対して表示モードへの切替えを指示するコマンドを与える。表示モードへの切替えのコマンドが与えられると、表示駆動装置は、スタンバイ信号を停止する。これにより、LCDには、スタンバイモードになる直前の表示内容が、再び表示されるようになる。

#### 【0004】

【発明が解決しようとする課題】しかしながら、LSIで構成された従来の表示駆動装置では、次のような課題があった。スタンバイモードを指示するコマンドが与えられると、表示駆動装置では、内部の各回路に一齐にスタンバイ信号が出力される。従って、回路構成によって、各回路がスタンバイモードへ切替わる順序は一定していない。このため、例えば、記憶回路が先にスタンバイモードへ切替わると、この記憶回路から読み出されるデータは誤ったデータになる。一方、駆動電圧発生回路と駆動回路は、まだスタンバイモードに切替わっていないので、LCDには一瞬意味不明の内容が表示されるという現象が生ずる。あるいは、駆動回路が表示動作を行っている間に、駆動信号発生回路がスタンバイモードに切替わると、その切替え過程で駆動電圧が徐々に低下し、異常表示が生じる場合がある。これらの現象は、スタンバイモードから通常表示モードへの切替え時においても生じ、ユーザに不快感を与えるといった課題があった。本発明は、前記従来技術が持っていた課題を解決し、スタンバイモードへの切替えと、スタンバイモードから通常表示モードへの切替え時において、異常表示を生ずることのない表示駆動装置を提供するものである。

#### 【0005】

【課題を解決するための手段】前記課題を解決するため、本発明のうちの第1の発明は、待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第1の所

定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第1の遅延回路と、前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第2の所定時間だけ遅延させて出力する第2の遅延回路と、発振回路と、駆動電圧発生回路と、駆動回路とが集積回路で構成されている。発振回路は、前記第1の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する回路である。駆動電圧発生回路は、前記第1の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する回路である。また、駆動回路は、前記表示駆動用電圧及び前記制御回路から出力される表示用データが与えられ、前記第2の遅延回路から出力される待機信号が不活性時には該表示用データに基づいて表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示装置駆動用信号の出力を停止する回路である。

【0006】第2の発明は、第1の発明と同様の制御回路と、第1の発明と同様の第1及び第2の遅延回路と、前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には、該待機信号を前記第1の所定時間より短い第3の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には、該待機信号を前記第2の所定時間より短い第4の所定時間だけ遅延させて出力する第3の遅延回路と、第1の発明と同様の発振回路と、第1の発明と同様の駆動電圧発生回路と、前記第3の遅延回路から出力される待機信号が不活性時には前記制御回路から出力される表示用データを格納するとともに、読み出し要求に応じて該格納した表示用データを出力し、該待機信号が活性化された時には読み書きのアクセスが禁止され、かつ該格納した表示用データを低消費電力状態で保持する記憶回路と、前記表示駆動用電圧が与えられ、前記第2の遅延回路から出力される待機信号が不活性時には、前記記憶回路に格納された表示用データを読み出して該表示用データの基づいた表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示用データの読み出しを停止するとともに、該表示装置駆動用信号の出力を停止する駆動回路とが、集積回路で構成されている。

【0007】第1の発明によれば、以上のように表示駆動装置を構成したので、次のような作用が行われる。待機信号が不活性状態から活性状態に変化すると、第2の遅延回路から駆動回路に対して直ちに待機信号が与えられ、駆動回路の出力が停止する。次いで、第1の遅延回路から発振回路及び駆動電圧発生回路に対して待機信号

5

が与えられ、クロック信号及び表示駆動用電圧の発生が停止する。待機信号が活性状態から不活性状態に変化すると、第1の遅延回路から発振回路及び駆動電圧発生回路に与えられる待機信号が直ちに不活性状態になり、クロック信号及び表示駆動用電圧の発生が開始される。次いで、第2の遅延回路から駆動回路に対して与えられる待機信号が不活性状態になり、駆動回路から表示装置駆動用信号が出力される。第2の発明によれば、次のような作用が行われる。

【0008】待機信号が不活性状態から活性状態に変化すると、第2の遅延回路から駆動回路に対して直ちに待機信号が与えられ、この駆動回路の出力が停止する。次いで、第3の遅延回路から記憶回路に対して待機信号が与えられ、この記憶回路は待機状態になる。その後、第1の遅延回路から発振回路及び駆動電圧発生回路に対して待機信号が与えられ、クロック信号及び表示駆動用電圧の発生が停止する。待機信号が活性状態から不活性状態に変化すると、第1の遅延回路から発振回路及び駆動電圧発生回路に与えられる待機信号が直ちに不活性状態になり、クロック信号及び表示駆動用電圧の発生が開始される。次いで、第3の遅延回路から記憶回路に対して与えられる待機信号が不活性状態になり、この記憶回路は動作状態となる。その後、第2の遅延回路から駆動回路に対して与えられる待機信号が不活性状態になり、この駆動回路から表示装置駆動用信号が出力される。

#### 【0009】

【発明の実施の形態】図1は、本発明の実施形態を示すもので、LSIで構成された表示駆動装置を有するLCD表示装置の概略の構成図である。このLCD表示装置は、表示用データDTを出力するとともに、この装置全体の表示/非表示等の制御を行うCPU10で制御されるようになっている。CPU10は、表示駆動装置20の制御回路21に接続されている。制御回路21は、CPU10から待機モード（即ち、スタンバイモード）または表示モードを指定するコマンドCMDと、表示用データDTとが与えられ、この表示用データDTを出力するとともに、このコマンドCMDに応じた待機信号（例えば、スタンバイ信号）STBを出力する回路である。スタンバイ信号STBは、スタンバイモード時には活性化されて、例えば論理“H”になり、表示モード時には不活性状態の、例えば論理“L”になる信号である。制御回路21における表示用データDTの出力側には、記憶回路22が接続されている。記憶回路22は、例えば、スタティック・ランダムアクセスメモリ（SRAM）で構成され、後述の遅延回路40cから与えられるスタンバイ信号STB3が“L”の時には表示用データDTをビットマップ形式で格納するとともに、読み出し要求に応じて格納した表示用データDTを出力し、スタンバイ信号STB3が“H”の時には読み書きのアクセスが禁止され、かつスタンバイ信号STB3が“L”の

6

時よりも消費電力を下げ、その格納した表示用データDTを保持するメモリである。

【0010】記憶回路22の出力側には、シフト回路23が接続されている。シフト回路23は、記憶回路22内の表示用データDTを表示行単位に読み出し、対応する表示位置までシフトして整列させるためのレジスタである。シフト回路23の出力側には、ラッチ回路24が接続されている。ラッチ回路24は、シフト回路23で整列された行単位の表示用データDTを保持して出力する回路であり、このラッチ回路24の出力側には、駆動回路25のデータ入力側が接続されている。駆動回路25は、表示駆動用電圧が与えられ、後述の遅延回路40bから与えられるスタンバイ信号STB2が“L”の時にはラッチ回路24から出力される表示用データDTに基づいて表示列に対応する表示装置駆動用信号RDRVを出力し、スタンバイ信号STB2が“H”の時にはこの表示装置駆動用信号RDRVの出力を停止する回路である。表示駆動装置20は、また、発振回路26を有している。発振回路26は、後述の遅延回路40aから与えられるスタンバイ信号STB1が“L”の時には一定周波数のクロック信号CKを発振し、スタンバイ信号STB1が“H”の時にはこのクロック信号CKの発振を停止する発振器である。発振回路26の出力側には、例えば昇圧回路27及び分圧回路28で構成される駆動電圧発生回路と、タイミング回路29とが接続されている。

【0011】昇圧回路27は、発振回路26から与えられるクロック信号CKをスイッチング用の制御信号として使用し、例えば5[V]の直流電源からLCDを駆動するために必要な10[V]の直流電圧を生成する回路である。昇圧回路27の出力側には、分圧回路28が接続されている。分圧回路28は、昇圧回路27から与えられる10[V]の直流電圧から、LCDの画素表示に必要な複数の表示駆動用電圧（例えば、3.3[V]、6.7[V]等）を生成する回路であり、抵抗分圧器で構成されている。分圧回路28の出力側は、前記駆動回路25及び駆動回路30の表示駆動用電圧の入力側に接続されている。駆動回路30は、表示駆動用電圧が与えられ、後述の遅延回路40bから与えられるスタンバイ信号STB2が“L”の時には表示行に対応する表示装置駆動用信号CDRVを順次出力し、スタンバイ信号STB2が“H”の時にはこの表示装置駆動用信号CDRVの出力を停止する回路である。タイミング回路29は、記憶回路22、シフト回路23、ラッチ回路24、及び駆動回路25、30等の各回路の動作に必要なタイミング信号T1、T2、T3、T4、T5等を、発振回路26から与えられるクロック信号CKに基づいて生成して出力する回路である。

【0012】制御回路21におけるスタンバイ信号STBの出力側には、遅延回路40の入力側が接続されてい

る。遅延回路40は、第1の遅延回路40a、第2の遅延回路40b、及び第3の遅延回路40cで構成されている。遅延回路40aは、スタンバイ信号STBが

“L”から“H”に変化した時には第1の所定時間（例えば、 $\Delta t_1$ ）だけ遅延して“L”から“H”に変化し、“H”から“L”に変化した時には直ちに“H”から“L”に変化するスタンバイ信号STB1を出力する回路である。遅延回路40aの出力側には、発振回路26及び昇圧回路27が接続されている。遅延回路40bは、スタンバイ信号STBが“L”から“H”に変化した時には直ちに“L”から“H”に変化し、“H”から“L”に変化した時には第2の所定時間（例えば、 $\Delta t_2$ ）だけ遅延して“H”から“L”に変化するスタンバイ信号STB2を出力する回路である。遅延回路40bの出力側には、駆動回路25、30が接続されている。

【0013】遅延回路40cは、スタンバイ信号STBが“L”から“H”に変化した時には $\Delta t_1$ より短い第3の所定時間（例えば、 $\Delta t_3$ ）だけ遅延して“L”から“H”に変化し、“H”から“L”に変化した時には $\Delta t_2$ より短い第4の所定時間（例えば、 $\Delta t_4$ ）だけ遅延して“H”から“L”に変化するスタンバイ信号STB3を出力する回路である。遅延回路40cの出力側には、記憶回路22が接続されている。この表示制御回路20の駆動回路25、30の出力側には、LCD50が接続されている。LCD50は、縦（列）方向及び横（行）方向に格子状に設けられた複数の電極の交差位置にマトリックス状に配置された表示画素を有し、列と行の電極間の電位差が一定値以上になると、その交差位置の画素が点灯する表示装置である。駆動回路25によって列方向の複数の電極が駆動され、駆動回路30によって行方向の複数の電極が逐次駆動されるようになっている。図2（1）、（2）は、図1中の遅延回路40の一例を示す説明図であり、同図（1）は回路構成を示す回路図、及び同図（2）は機能を説明するためのタイムチャートである。

【0014】図2（1）の遅延回路40は、図1の遅延回路40a、40b、40cの機能を同時に実現する回路であり、抵抗41を有している。抵抗41の一端にスタンバイ信号STBが与えられ、この抵抗41の他端には、コンデンサ42の一端とインバータ43の入力側とが接続されている。コンデンサ42の他端は接地電位GNDに接続され、インバータ43の出力側はインバータ44の入力側と抵抗45の一端に接続されている。抵抗45の他端は、コンデンサ46の一端とインバータ47の入力側とに接続されている。コンデンサ46の他端は接地電位GNDに接続され、インバータ47の出力側はAND（論理積）ゲート48及びOR（論理和）ゲート49の第1の入力側に接続されている。また、ANDゲート48及びORゲート49の第2の入力側には、スタンバイ信号STBが入力されている。そして、ANDゲ

ート48、ORゲート49及びインバータ44の出力側から、それぞれスタンバイ信号STB1、STB2、STB3が出力されるようになっている。

【0015】次に、この遅延回路40の機能を説明する。図2（2）の時刻 $t_1$ において、スタンバイ信号STBが“L”から“H”に変化すると、抵抗41とコンデンサ42による積分回路により、インバータ43に入力される信号S41の立上りが遅れる。これにより、時刻 $t_2$ において、インバータ43の出力側の信号S43が、“H”から“L”に変化する。時刻 $t_2$ における信号S43の立下りは、抵抗45とコンデンサ46による積分回路で遅延され、信号S45としてインバータ47に与えられる。これにより、インバータ47の出力側の信号S47は、時刻 $t_3$ に“L”から“H”に変化する。時刻 $t_4$ においてスタンバイ信号STBが“H”から“L”に変化する場合も同様であり、時刻 $t_5$ に、信号S43が“L”から“H”に変化し、時刻 $t_6$ に、信号S47が“H”から“L”に変化する。

【0016】ANDゲート48で、スタンバイ信号STBと信号S47との論理積がとられるので、このANDゲート48の出力側には、スタンバイ信号STBが“L”から“H”に変化した時に第1の所定時間 $\Delta t_1$ （ $=t_3-t_1$ ）だけ遅れて変化し、“H”から“L”に変化した時には直ちに变化するスタンバイ信号STB1が出力される。また、ORゲート49で、スタンバイ信号STBと信号S47との論理和がとられるので、このORゲート49の出力側には、スタンバイ信号STBが“L”から“H”に変化した時に直ちに变化し、“H”から“L”に変化した時には第2の所定時間 $\Delta t_2$ （ $=t_6-t_4$ ）だけ遅れて変化するスタンバイ信号STB2が出力される。更にインバータ44の出力側には、スタンバイ信号STBが“L”から“H”に変化した時には第1の所定時間 $\Delta t_1$ より短い第3の所定時間 $\Delta t_3$ （ $=t_2-t_1$ ）だけ遅れて変化し、“H”から“L”に変化した時には第2の所定時間 $\Delta t_2$ より短い第4の所定時間 $\Delta t_4$ （ $=t_5-t_4$ ）だけ遅れて変化するスタンバイ信号STB3が出力されるようになっている。

【0017】これらの第1の所定時間 $\Delta t_1$ 、第2の所定時間 $\Delta t_2$ 等は、例えば、駆動回路25、30等の回路のモード切替えが確実に実行されてから、次の記憶回路22等のモード切替え動作が開始されるようなタイミングになるように、抵抗41、45、及びコンデンサ41、46の値が設定されている。次に、図2を参照しつつ、図1のLCD表示装置における表示モードからスタンバイモードへの切替え時の動作（I）と、スタンバイモードから表示モードへの切替え時の動作（II）について説明する。

【0018】（I） 表示モードからスタンバイモードへの切替え時の動作

CPU10から表示駆動装置20に対して、スタンバイモードへの切替えを指示するコマンドCMDが与えられると、制御回路21はこのコマンドCMDを解釈して、図2(2)の時刻t1において、スタンバイ信号STBを“L”から“H”に変化させる。時刻t1におけるスタンバイ信号STBの立上がりにより、遅延回路40から出力されるスタンバイ信号STB2は直ちに“H”に変化する。スタンバイ信号STB2は、駆動回路25、30に与えられているので、これらの駆動回路25、30は、LCD50に与えている表示装置駆動用信号RDRV、CDRVの出力を停止する。これにより、LCD50の表示が停止する。時刻t2において、スタンバイ信号STB3が“H”に変化する。スタンバイ信号STB3は、記憶回路22に与えられているので、この記憶回路22は、スタンバイモードになる。その後、時刻t3において、スタンバイ信号STB1が“H”に変化する。スタンバイ信号STB1は、発振回路26及び昇圧回路27に与えられているので、これらの発振回路26及び昇圧回路27の発振動作とLCD駆動用の直流電圧が停止し、完全にスタンバイ状態となる。

【0019】このように、スタンバイモードへの切替えに際して、まず駆動回路25、30をスタンバイモードに切替え、次に記憶回路22をスタンバイモードに切替え、最後に発振回路26及び昇圧回路27をスタンバイモードに切替えているので、スタンバイモードへの切替え時に、LCD50に異常表示が行われるというおそれがない。更に、タイミング信号T1等が正常な時点で記憶回路22がスタンバイモードに切替えられるので、この記憶回路22に格納されたデータが破壊されるおそれがない。

【0020】(II) スタンバイモードから表示モードへの切替え時の動作

CPU10から表示駆動装置20に対して、表示モードへの切替えを指示するコマンドCMDが与えられると、制御回路21はこのコマンドCMDを解釈して、図2

(2)の時刻t4において、スタンバイ信号STBを“H”から“L”に変化させる。時刻t4におけるスタンバイ信号STBの立下がりにより、遅延回路40から出力されるスタンバイ信号STB1は直ちに“L”に変化する。スタンバイ信号STB1は、発振回路26及び昇圧回路27に与えられているので、これらの発振回路26及び昇圧回路27は、発振動作とLCD駆動用の直流電圧の発生を開始する。時刻t5において、スタンバイ信号STB3が“L”に変化する。スタンバイ信号STB3は、記憶回路22に与えられているので、この記憶回路22は、動作を開始する。

【0021】その後、時刻t6において、スタンバイ信号STB2が“L”に変化する。スタンバイ信号STB2は、駆動回路25、30に与えられているので、これらの駆動回路25、30は、LCD50に対する表示装

置駆動用信号RDRV、CDRVの出力を開始する。これにより、完全な表示モードとなる。このように、表示モードへの切替えに際して、まず発振回路26及び昇圧回路27が動作を開始し、次に記憶回路22の動作が開始され、最後に駆動回路25、30が動作を開始するので、表示モードへの切替え時に、LCD50に異常表示が行われるというおそれがない。更に、タイミング信号T1等が正常に出力されてから、記憶回路22が動作を開始するので、記憶回路22に格納されたデータが破壊されるというおそれがない。以上のように、本実施形態の表示駆動装置20では、次の(i)、(ii)のような利点がある。

【0022】(i) 内部の各回路の動作モードを切替えるために、一定のシーケンスでスタンバイ信号STB1～STB3を出力する遅延回路40を有するので、モード切替え時に異常表示をするというおそれがない。

(ii) 記憶回路22に格納されたデータを破壊するというおそれがない。

なお、本発明は、上記実施形態に限定されず、種々の変

形が可能である。この変形例としては、例えば、次の

(a)～(d)のようなものがある。

(a) LCD50の表示容量が小さい場合等において、記憶回路22を持たない表示駆動装置20においても適用可能である。その場合、記憶回路22にスタンバイ信号STB3を与えるための遅延回路40cは不要になる。

(b) LCD50に限らず、発光ダイオードや蛍光表示管等の表示装置に対しても適用可能である。但し、その場合は、駆動回路25、30に代えて、それらの表示装置に応じた駆動回路を用いる必要がある。

(c) 遅延回路40の回路は、図2に示すものに限らず、定められたシーケンスに従って、適切なタイミングでスタンバイ信号STB1、STB2、STB3を出力するものであれば、どのような回路構成であっても良い。

(d) 図1の表示駆動装置20は、LSIで構成されているが、LSI以外のIC、VLSI等の集積回路で構成しても良い。

【0023】

【発明の効果】以上詳細に説明したように、第1の発明によれば、待機信号のタイミングを調整して発振回路及び駆動信号発生回路に与える第1の遅延回路と、駆動回路に与える第2の遅延回路を設けたので、表示動作が停止してから発振回路等を停止させ、発振回路等が完全に動作してから表示動作を行うことができる。これにより、モード切替え時における異常表示を防止することができる。第2の発明によれば、第1の発明における第1及び第2の遅延回路に加えて、待機信号のタイミングを調整して記憶回路に与える第3の遅延回路を設けたので、第1の発明の効果に加えて、モード切替え時にお

る記憶回路のデータ破壊を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施形態を示すもので、表示駆動装置を有するLCD表示装置の概略の構成図である。

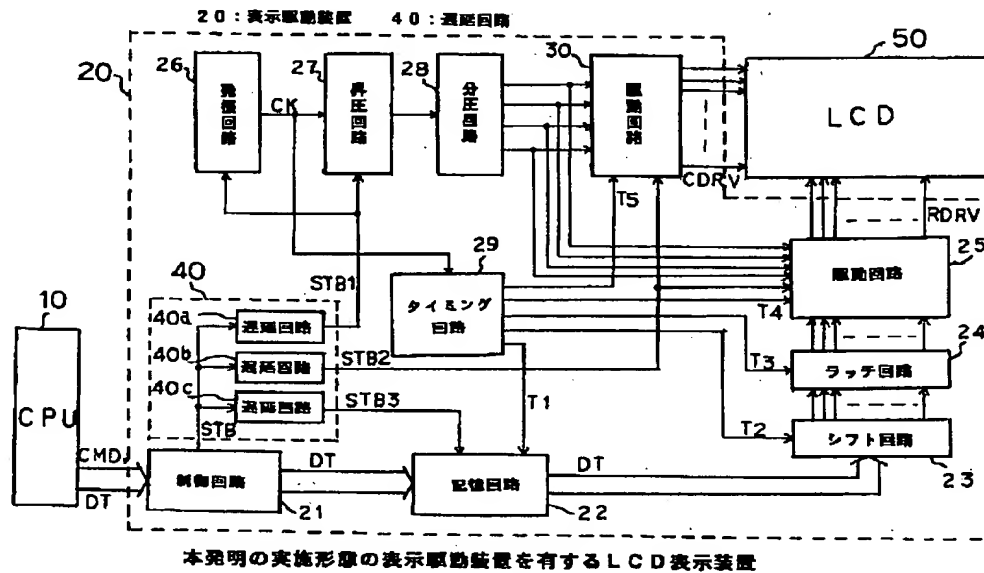
【図2】図1中の遅延回路40の回路構成と機能を示す説明図である。

【符号の説明】

10 CPU  
20 表示駆動装置

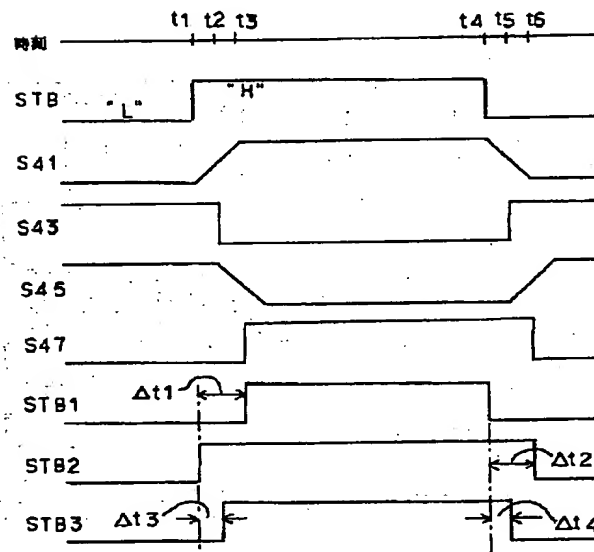
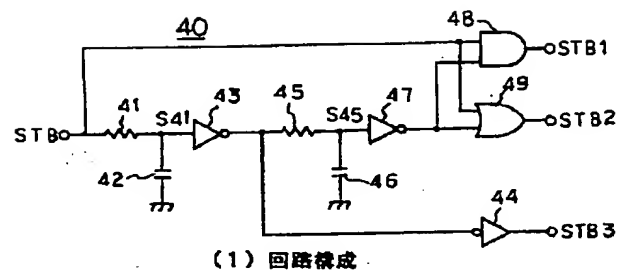
21 制御回路  
22 記憶回路  
25, 30 駆動回路  
26 発振回路  
27 昇圧回路  
28 分圧回路  
29 タイミング回路  
40, 40a, 40b, 40c 遅延回路  
50 LCD

【図1】





【図2】



(2) タイムチャート

図1中の遅延回路40

【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第2区分  
【発行日】平成14年1月18日(2002. 1. 18)

【公開番号】特開平10-83157  
【公開日】平成10年3月31日(1998. 3. 31)  
【年通号数】公開特許公報10-832  
【出願番号】特願平8-237640  
【国際特許分類第7版】

G09G 3/20  
G06F 1/04 301  
G09G 3/18  
5/00 550

【FI】

G09G 3/20 Z  
G06F 1/04 301 C  
G09G 3/18  
5/00 550 B

【手続補正書】

【提出日】平成13年8月31日(2001. 8. 31)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、  
前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第1の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第1の遅延回路と、  
前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第2の所定時間だけ遅延させて出力する第2の遅延回路と、  
前記第1の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が活性化された時には該クロック信号の発振を停止する発振回路と、  
前記第1の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する駆動電圧発生回路と、

前記表示駆動用電圧及び前記制御回路から出力される表示用データが与えられ、前記第2の遅延回路から出力される待機信号が不活性時には該表示用データに基づいて表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示装置駆動用信号の出力を停止する駆動回路とが、  
集積回路で構成されたことを特徴とする表示駆動装置。

【請求項2】 待機モードまたは表示モードを指定するコマンド及び表示用データが与えられ、該コマンドに応じた待機信号を出力するとともに、該表示用データを出力する制御回路と、  
前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を第1の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には該待機信号を遅延させずに出力する第1の遅延回路と、  
前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には該待機信号を遅延させずに出力し、活性状態から不活性状態に変化した時には該待機信号を第2の所定時間だけ遅延させて出力する第2の遅延回路と、  
前記制御回路から出力される待機信号を入力し、該待機信号が不活性状態から活性状態に変化した時には、該待機信号を前記第1の所定時間より短い第3の所定時間だけ遅延させて出力し、活性状態から不活性状態に変化した時には、該待機信号を前記第2の所定時間より短い第4の所定時間だけ遅延させて出力する第3の遅延回路と、  
前記第1の遅延回路から出力される待機信号が不活性時には一定周波数のクロック信号を発振し、該待機信号が

活性化された時には該クロック信号の発振を停止する発振回路と、

前記第1の遅延回路から出力される待機信号が不活性時には前記クロック信号を用いて表示駆動用電圧を発生し、該待機信号が活性化された時には該表示駆動用電圧の発生を停止する駆動電圧発生回路と、

前記第3の遅延回路から出力される待機信号が不活性時には前記制御回路から出力される表示用データを格納するとともに、読み出し要求に応じて該格納した表示用データを出力し、該待機信号が活性化された時には読み書きのアクセスが禁止され、かつ該格納した表示用データを低消費電力状態で保持する記憶回路と、  
前記表示駆動用電圧が与えられ、前記第2の遅延回路から出力される待機信号が不活性時には前記記憶回路に格納された表示用データを読み出して該表示用データに基づいた表示装置駆動用信号を出力し、該待機信号が活性化された時には該表示用データの読み出しを停止するとともに、該表示装置駆動用信号の出力を停止する駆動回路とが、

集積回路で構成されたことを特徴とする表示駆動装置。

【請求項3】 表示用データを記憶する記憶回路と、表示装置を駆動するための駆動電圧を発生する駆動電圧発生回路と、前記表示用データに基づいて前記駆動電圧を前記表示装置に印加する駆動回路とを備えた表示駆動装置において、

表示モードまたは待機モードを指定するモード信号の切り替えに応じて、該モード信号を遅延させて前記記憶回路、駆動電圧発生回路及び駆動回路の各回路を所定の順序で表示モードから待機モードへ、または待機モードから表示モードへ切り替えるための待機信号を出力する遅延回路を設けたことを特徴とする表示駆動装置。

【請求項4】 前記遅延回路は、前記モード信号が表示モードから待機モードに切り替えられると、前記駆動回路を待機モードに切り替え、その後前記記憶回路を待機モードに切り替える待機信号を出力することを特徴とする請求項3記載の表示駆動装置。

【請求項5】 前記遅延回路は、前記モード信号が表示モードから待機モードに切り替えられると、前記駆動回路を待機モードに切り替え、その後前記駆動電圧発生回路を待機モードに切り替える待機信号を出力することを特徴とする請求項3記載の表示駆動装置。

【請求項6】 前記遅延回路は、前記モード信号が表示モードから待機モードに切り替えられると、前記駆動回路を待機モードに切り替え、その後前記記憶回路を待機モードに切り替え、更にその後前記駆動電圧発生回路を待機モードに切り替える待機信号を出力することを特徴とする請求項3記載の表示駆動装置。

【請求項7】 前記遅延回路は、前記モード信号が待機モードから表示モードに切り替えられると、前記記憶回路を表示モードに切り替え、その後前記駆動回路を表示

モードに切り替える待機信号を出力することを特徴とする請求項3記載の表示駆動装置。

【請求項8】 前記遅延回路は、前記モード信号が待機モードから表示モードに切り替えられると、前記駆動電圧発生回路を表示モードに切り替え、その後前記駆動回路を表示モードに切り替える待機信号を出力することを特徴とする請求項3記載の表示駆動装置。

【請求項9】 前記遅延回路は、前記モード信号が待機モードから表示モードに切り替えられると、前記駆動電圧発生回路を表示モードに切り替え、その後前記記憶回路を表示モードに切り替え、更にその後前記駆動回路を表示モードに切り替える待機信号を出力することを特徴とする請求項3記載の表示駆動装置。

【請求項10】 前記遅延回路は、前記モード信号を遅延させて前記記憶回路に対する待機信号を生成する第1の遅延部と、  
前記第1の遅延部の出力信号を更に遅延させて遅延信号を生成し、該遅延信号と前記モード信号の論理積をとることによって前記駆動電圧発生回路に対する待機信号を生成する第2の遅延部と、  
前記遅延信号と前記モード信号の論理和をとることによって前記駆動回路に対する待機信号を生成する第3の遅延部とを、

有することを特徴とする請求項3乃至9のいずれかに記載の表示駆動装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】待機信号が不活性状態から活性状態に変化すると、第2の遅延回路から駆動回路に対して直ちに待機信号が与えられ、この駆動回路の出力が停止する。次いで、第3の遅延回路から記憶回路に対して待機信号が与えられ、この記憶回路は待機状態になる。その後、第1の遅延回路から発振回路及び駆動電圧発生回路に対して待機信号が与えられ、クロック信号及び表示駆動用電圧の発生が停止する。待機信号が活性状態から不活性状態に変化すると、第1の遅延回路から発振回路及び駆動電圧発生回路に与えられる待機信号が直ちに不活性状態になり、クロック信号及び表示駆動用電圧の発生が開始される。次いで、第3の遅延回路から記憶回路に対して与えられる待機信号が不活性状態になり、この記憶回路は動作状態となる。その後、第2の遅延回路から駆動回路に対して与えられる待機信号が不活性状態になり、この駆動回路から表示駆動用信号が出力される。第3～第9の発明は、表示用データを記憶する記憶回路と、表示装置を駆動するための駆動電圧を発生する駆動電圧発生回路と、前記表示用データに基づいて前記駆動電圧を前記表示装置に印加する駆動回路とを備えた表示駆動装置

において、表示モードまたは待機モードを指定するモード信号の切り替えに応じて、該モード信号を遅延させて前記記憶回路、駆動電圧発生回路及び駆動回路の各回路を所定の順序で表示モードから待機モードへ、または待機モードから表示モードへ切り替えるための待機信号を出力する遅延回路を設けている。第10の発明は、第3～第9の発明における遅延回路を、モード信号を遅延させて記憶回路に対する待機信号を生成する第1の遅延部と、前記第1の遅延部の出力信号を更に遅延させて遅延信号を生成し、該遅延信号と前記モード信号の論理積をとることによって駆動電圧発生回路に対する待機信号を生成する第2の遅延部と、前記遅延信号と前記モード信号の論理和をとることによって駆動回路に対する待機信号を生成する第3の遅延部とで構成している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正内容】

【0023】

【発明の効果】以上詳細に説明したように、第1の発明によれば、待機信号のタイミングを調整して発振回路及び駆動信号発生回路に与える第1の遅延回路と、駆動回

路に与える第2の遅延回路をもうけた後、表示動作が停止してから発振回路等を停止させ、発振回路等が完全に動作してから表示動作を行うことができる。これにより、モード切替え時における異常表示を防止することができる。第2の発明によれば、第1の発明における第1及び第2の遅延回路に加えて、待機信号のタイミングを調整して記憶回路に与える第3の遅延回路を設けたので、第1の発明の効果に加えて、モード切替え時における記憶回路のデータ破壊を防止することができる。第3～第9の発明によれば、モード信号が切り替えられたときに、記憶回路、駆動電圧発生回路及び駆動回路を、所定の順序で表示モードから待機モード、または待機モードから表示モードへ切り替えるための待機信号を出力する遅延回路を有している。これにより、モード切替え時における異常表示や記憶回路のデータ破壊を防止することができる。第10の発明によれば、遅延回路を、モード信号を遅延させて記憶回路に対する待機信号を生成する第1の遅延部と、この待機信号とモード信号の論理積及び論理和をとることによって、それぞれ駆動電圧発生回路及び駆動回路に対する待機信号を生成する第2及び第3の遅延部で構成している。従って、遅延回路を簡単な回路で構成することができる。